

Atty. Docket No. OPP 031050 US

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

IN RE APPLICATION OF: :
Date-Gun LEE : GROUP ART UNIT:
SERIAL NO: NEW APPLICATION :
FILED: HEREWITH : EXAMINER:
FOR: BONDING PAD OF A SEMICON-
DUCTOR DEVICE AND FORMA-
TION METHOD THEREOF

I hereby certify that this document is being deposited with the United States Postal Service as Express Mail No. ER 085424762 US in an envelope addressed to Commissioner for Patents, Mail Stop Patent Application, Washington, D.C. 20231, on November 25, 2003.

By: 
Andrew D. Fortney

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119(a)-(b) AND 37 C.F.R. 1.55

COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

Applicant respectfully requests the benefit of the filing date of the following prior foreign application(s) under the Paris Convention for the Protection of Intellectual Property:

<u>Serial No.</u>	<u>Filing Date</u>	<u>Country of Filing</u>
10-2002-0080763	December 17, 2002	Republic of Korea

A certified copy of the priority application is attached hereto.

Respectfully submitted,



Andrew D. Fortney, Ph.D.
Reg. No. 34,600

7257 N. Maple Avenue, Bldg. D, #107
Fresno, California 93720
(559) 299 - 0128



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0080763
Application Number

출원 년 월 일 : 2002년 12월 17일
Date of Application DEC 17, 2002

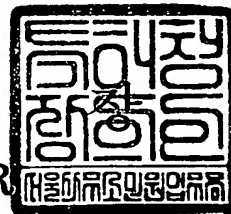
출원인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 09 월 17 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2002. 12. 17
【발명의 명칭】	반도체 소자의 본딩 패드와 이의 형성 방법
【발명의 영문명칭】	BONDING PAD FOR SEMICONDUCTOR DEVICE AND FORMATION METHOD OF THE SAME
【출원인】	
【명칭】	아남반도체 주식회사
【출원인코드】	1-1998-002671-9
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	오원석
【포괄위임등록번호】	2001-041985-8
【발명자】	
【성명의 국문표기】	이대근
【성명의 영문표기】	LEE, DATE GUN
【주민등록번호】	671115-1055325
【우편번호】	420-020
【주소】	경기도 부천시 원미구 중동 설악마을 310동 801호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 유미특허법인 (인)
【수수료】	
【기본출원료】	16 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	8 항 365,000 원
【합계】	394,000 원

1020020080763

출력 일자: 2003/9/20

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

반도체 소자의 본딩 패드와 이의 형성 방법에 관한 것으로서, 본딩 패드와 납땜 물질의 접촉 면적을 확대하여 본딩 불량을 방지하고, 산화막에 수분이 침투하는 것을 방지하기 위한 목적으로, 반도체 기판의 구조물 상에서 구조물의 금속 배선과 접촉하며 위치하는 베리어 금속막과; 베리어 금속막 상에 형성되며 상부 표면이 일부 노출되어 위치하는 금속 배선막과; 금속 배선막의 상부 표면 가장자리에 위치하는 보호 금속막과; 금속 배선막과 보호 금속막의 측면을 둘러싸는 절연막과; 절연막 위에 형성되는 보호막과; 절연막과 보호막에 둘러싸이며 금속 배선막을 노출시키는 패드부의 내측벽에 형성되는 접착 금속막을 포함하는 반도체 소자의 본딩 패드 및 이의 형성 방법을 제공한다.

【대표도】

도 2a

【색인어】

패드, 본딩패드, 금속와이어, 본딩, 몰딩

【명세서】**【발명의 명칭】**

반도체 소자의 본딩 패드와 이의 형성 방법 {BONDING PAD FOR SEMICONDUCTOR DEVICE AND FORMATION METHOD OF THE SAME}

【도면의 간단한 설명】

도 1a는 종래 기술에 의한 본딩 패드의 단면도이다.

도 1b와 도 1c는 각각 종래 기술에 의한 본딩 패드에 있어서 본딩 공정과 몰딩 공정을 설명하기 위한 단면도이다.

도 2a는 본 발명에 의한 반도체 소자의 본딩 패드를 도시한 단면도이다.

도 2b는 금속 와이어가 부착된 본 발명에 의한 본딩 패드의 단면도이다.

도 3a~도 3e는 본 발명에 의한 본딩 패드의 형성 방법을 설명하기 위한 단면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 소자에 관한 것으로서, 보다 상세하게는 반도체 소자에 구비되는 본딩 패드 및 이 본딩 패드를 형성하는 방법에 관한 것이다.

<7> 일반적으로 본딩 패드는 반도체 소자의 최상층 금속 배선이 일정 부분 노출된 형태로 이루어지며, 반도체 소자와 패키지를 연결하는 단자의 기능을 수행한다. 즉, 본딩 패드가 본딩 작업을 통해 금속 와이어와 상호 연결되어 반도체 소자의 배선이 전원 공급 장치와 같은 외부 장치에 전기적으로 접속된다.

- <8> 도 1a는 종래 기술에 의한 본딩 패드의 단면도이고, 도 1b와 도 1c는 각각 본딩 공정과 몰딩 공정을 설명하기 위한 본딩 패드의 단면도이다.
- <9> 모든 반도체 소자는 금속 배선층(1)의 일부를 노출시켜 본딩 패드(3)를 만드는 공정을 마지막으로 하며, 이후 백 그라인딩(back grinding) 공정을 지나 패키지와의 조립 공정으로 넘어간다. 그리고 조립 공정에서 납땜(5)으로 금속 배선층(1)과 금속 와이어(7)를 본딩한 다음, 에폭시 등의 몰딩 물질(9)을 이용해 본딩 패드(3)와 금속 와이어(7)의 결합부를 몰딩시킨다.
- <10> 그러나 기존의 본딩 패드(3)는 노출된 금속 배선층(1)과 납땜(5)의 접촉 면적이 크지 않으므로, 본딩이 제대로 이루어지지 않아 본딩 불량률 유발할 수 있으며, 에폭시 등의 몰딩 물질로 몰딩할 때 산화막인 절연막(11)에 수분이 침투하는 단점을 안고 있다.

【발명이 이루고자 하는 기술적 과제】

- <11> 따라서 본 발명은 상기한 문제점을 해소하기 위한 것으로서, 본 발명의 목적은 본딩 패드와 납땜 물질의 접촉 면적을 확대하여 본딩 불량률 방지함과 아울러, 산화막인 절연막에 수분이 침투하는 것을 방지하는 반도체 소자의 본딩 패드와 이 본딩 패드의 형성 방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <12> 상기의 목적을 달성하기 위하여 본 발명은,
- <13> 반도체 기판의 구조물 상에서 구조물의 금속 배선과 접촉하며 위치하는 베리

어 금속막과; 베리어 금속막 상에 형성되며 상부 표면이 일부 노출되어 위치하는 금속 배선막과; 금속 배선막의 상부 표면 가장자리에 위치하는 보호 금속막과; 금속 배선막과 보호 금속막의 측면을 둘러싸는 절연막과; 절연막 위에 형성되는 보호막과; 절연막과 보호막에 둘러싸이며 금속 배선막을 노출시키는 패드부의 내측벽에 형성되는 접착 금속막을 포함하는 반도체 소자의 본딩 패드를 제공한다.

<14> 상기 접착 금속막은 Al, Ti, 및 TiN으로 이루어진 군에서 선택된 금속 물질로 이루어지며, 1000~3000 Å의 두께로 형성된다.

<15> 또한, 상기의 목적을 달성하기 위하여 본 발명은,

<16> 반도체 기관의 구조물 상에 베리어 금속막을 형성하고, 베리어 금속막 상에 금속 배선막과 보호 금속막을 적층하는 단계와; 적층된 베리어 금속막과 금속 배선막 및 보호 금속막을 덮으면서 반도체 기관 상에 절연막과 보호막을 형성하는 단계와; 보호막 상에 감광막을 도포하고 노광 및 현상하여 패드부가 형성될 영역의 감광막을 선택적으로 제거한 후, 제거된 감광막에 의해 노출된 보호막과, 보호막 하부의 절연막과 보호 금속막을 식각하여 패드부를 형성하는 단계와; 감광막을 제거한 후 상기 보호막과 패드부 표면 전체에 금속막을 형성하는 단계와; 금속막을 건식 식각하여 보호막의 표면과 금속 배선막의 표면에 위치한 금속막을 선택적으로 제거하고, 패드부의 내측벽에 한해 접착 금속막을 남겨 접착 금속막을 형성하는 단계를 포함하는 반도체 소자의 본딩 패드 형성 방법을 제공한다.

<17> 상기 금속 배선막을 형성할 때에는 알루미늄 합금을 100℃ 이상의 온도에서 증착으로 형성하는 것이 바람직하다. 그리고 상기 금속막은 Al, Ti, 및 TiN으로 이루어진 군에서 선택된 금속 물질로 이루어지며, 1000~3000 Å의 두께로 형성한다.

- <18> 이하, 첨부한 도면을 참고하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하면 다음과 같다.
- <19> 도 2a는 본 발명에 의한 반도체 소자의 본딩 패드를 도시한 단면도이고, 도 2b는 금속 와이어가 부착된 본딩 패드를 도시한 단면도로서, 본딩 패드(2)는 반도체 기판의 구조물, 즉 개별 소자가 형성된 반도체 기판의 최상부에 형성된다.
- <20> 본 발명에 의한 본딩 패드(2)는 반도체 기판의 구조물 상에 도시하지 않은 금속 배선과 접촉하며 위치하는 베리어 금속막(4)과, 베리어 금속막(4) 위에 형성되며 상부 표면이 일부 노출되어 위치하는 금속 배선막(6)과, 금속 배선막(6)의 상부 표면 가장자리에 위치하는 보호 금속막(8)과, 보호 금속막(8)의 표면과 금속 배선막(6)의 측면을 둘러싸는 절연막(10)과, 절연막(10) 위에 형성되는 보호막(12)과, 금속 배선막(6)을 노출시키는 패드부(2a)의 내측벽에 형성되는 접착 금속막(14)을 포함한다.
- <21> 상기 베리어 금속막(4)은 반도체 기판의 금속 배선(미도시)과 금속 배선막(6)을 전기적으로 연결하며, 반도체 기판에 대한 금속 배선막(6)의 접착력을 향상시키는 역할을 한다. 바람직하게 베리어 금속막(4)은 Ti, Ta, TiN 또는 TaN 등을 포함하는 금속 물질로 이루어지고, 200 ~ 1000 Å의 두께로 형성된다.
- <22> 그리고 상기 금속 배선막(6)은 알루미늄 합금으로 이루어지며, 보호 금속막(8)은 Ti, TiN, Ta, TaN, WN, Si 등을 포함하여 알루미늄 합금보다 용융점이 높은 금속 물질로 형성되는데, 이러한 고용점 금속 물질 중에서 1종을 선택하여 단일층으로 형성하거나, 또는 2종 이상을 선택하여 2층 이상의 적층 구조로 형성된다. 또한 상기 절연막(10)과 보호막(12)은 각각 산화막과 질화막으로 이루어진다.

- <23> 상기한 금속 배선막(6)은 절연막(10)과 보호막(12)에 둘러싸인 패드부(2a)에 의해 상부 표면이 노출되며, 이후의 본딩 작업에서 납땜을 통해 금속 와이어(18)와 접착된다. 이 때, 접착 금속막(14)이 패드부(2a) 내측벽에 형성되어 있으므로, 접착 금속막(14)에 의해 납땜 물질(16)과 패드부(2a)의 접촉 면적이 확대되어 납땜과 금속 와이어(18)가 패드부(2a)에 보다 공고하게 고정된다.
- <24> 이러한 접착 금속막(14)은 바람직하게 Al, Ti, 또는 TiN 등의 금속 물질로 이루어지며, 대략 1000~3000 Å의 두께로 형성된다. 또한 상기 접착 금속막(14)이 패드부(2a)를 구성하는 절연막(10)과 보호막(12)의 측벽을 감싸는 구조로 이루어지므로, 접착 금속막(14)은 본딩 작업 이후 행해지는 에폭시를 이용한 몰딩 작업에서, 절연막에 수분이 침투하는 것을 방지한다.
- <25> 다음으로, 도 3a~도 3e를 참고하여 본 발명에 의한 반도체 소자의 본딩 패드 형성 방법에 대해 설명한다.
- <26> 먼저 도 3a에 도시한 바와 같이, 금속 배선(미도시)이 마련된 반도체 기판의 최상부에 베리어 금속막(4)과 금속 배선막(6) 및 보호 금속막(8)을 순차적으로 적층한다. 금속 배선막(6)은 바람직하게 알루미늄 합금막으로, 알루미늄 합금막을 형성할 때는 가급적 결정립을 크게 하여 저항값이 낮아지도록 하기 위해 100℃ 이상의 증착 온도에서 형성하는 것이 바람직하다.
- <27> 그리고 상기 보호 금속막(8)은 Ti, TiN, Ta, TaN, WN, Si 등을 포함하여 알루미늄 합금보다 용융점이 높은 금속 물질로 이루어지며, 금속 배선막(6) 표면에서 300~1,000 Å의 두께, 바람직하게는 600 Å의 두께로 형성된다. 보호 금속막(8)을 증착할 때에는 100~300℃의 온도로 증착하며, 바람직하게는 200℃의 온도로 증착한다.

- <28> 다음으로 적층된 베리어 금속막(4)과 금속 배선막(6) 및 보호 금속막(8)을 덮으면서 반도체 기판 위로 산화막과 질화막을 적층하여 각각 절연막(10)과 보호막(12)을 형성한다. 그리고 도 3b에 도시한 바와 같이, 보호막(12) 상에 감광막(20)을 도포하고 노광 및 현상하여 패드부(2a)가 형성될 영역의 감광막(20)을 선택적으로 제거한다.
- <29> 이어서, 제거된 감광막에 의해 노출된 보호막(12)을 식각하고, 보호막(12) 하부의 절연막(10)과 보호 금속막(8)을 계속 식각하여 금속 배선막(6)을 노출시킨 후, 감광막(20)을 제거하면, 도 3c에 도시한 바와 같이 소정의 폭을 갖는 패드부(2a)가 완성되고, 패드부(2a)에 의해 금속 배선막(6)의 상부 표면이 노출된다.
- <30> 다음으로, 도 3d에 도시한 바와 같이, 보호막(12)과 패드부(2a) 표면 전체에 금속막(22)을 증착한다. 상기 금속막(22)은 Al, Ti, 또는 TiN 등의 금속 물질로 이루어지며, 바람직하게 1,000~5,000 Å의 두께로 형성되고, 금속막(22)의 증착 온도는 200~400°C가 바람직하다.
- <31> 이어서, 상기 금속막(22)을 건식 식각하여 보호막(12)의 표면과 금속 배선막(6)의 표면에 위치한 금속막(22)을 선택적으로 제거한다. 상기한 건식 식각이 완료되면, 도 2a에 도시한 바와 같이 금속막은 패드부(2a)의 내측벽에만 잔류하여 접착 금속막(14)으로 완성된다.
- <32> 이와 같이 본 발명에 의한 본딩 패드(2)는 패드부(2a)의 내측벽에 접착 금속막(14)을 형성하는데 특징이 있으며, 접착 금속막(14)은 다음에 설명하는 본딩 과정에서 납땜과 금속 와이어를 패드부(2a)에 공고하게 고정시키고, 몰딩 과정에서 수분이 절연막(10)으로 침투하는 것을 방지하는 역할을 한다.
- <33> 즉, 도 2b에 도시한 바와 같이 본딩 과정에서 금속 배선막(6) 위에 금속 와이어(18)를 위치시키고, 금속 와이어(18)를 납땜 물질(16)을 이용하여 패드부(2a)에 고정시킨다. 이 때,

접착 금속막(14)이 패드부(2a)의 내측벽에 형성되어 있으므로, 납땜 물질(16)과 패드부(2a)의 접촉 면적이 확대되어 납땜과 금속 와이어(18)가 패드부(2a)에 보다 공고하게 고정된다.

<34> 이어서 도 3e에 도시한 바와 같이, 몰딩 과정에서 에폭시 등의 몰딩 물질(24)을 이용하여 패드부(2a)와 납땜 부위를 몰딩하면, 상기 접착 금속막(14)이 절연층(10)으로 수분이 침투하는 것을 방지한다.

<35> 상기에서는 본 발명의 바람직한 실시예에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니고 특허청구범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명의 범위에 속하는 것은 당연하다.

【발명의 효과】

<36> 이와 같이 본딩 패드의 패드부 내측벽에 접착 금속막을 형성함에 따라, 납땜 물질과 패드부의 접촉 면적을 늘여 금속 와이어와 납땜이 패드부에 공고하게 고정되도록 하며, 에폭시를 이용한 몰딩 과정에서 수분이 절연막으로 침투하는 것을 방지하는 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체 기판의 구조물 상에서 구조물의 금속 배선과 접촉하며 위치하는 베리어 금속막과 ;

상기 베리어 금속막 상에 형성되며 상부 표면이 일부 노출되어 위치하는 금속 배선막과 ;

상기 금속 배선막의 상부 표면 가장자리에 위치하는 보호 금속막과;

상기 금속 배선막과 보호 금속막의 측면을 둘러싸는 절연막과;

상기 절연막 위에 형성되는 보호막; 및

상기 절연막과 보호막에 둘러싸이며 상기 금속 배선막을 노출시키는 패드부의 내측벽에 형성되는 접착 금속막

을 포함하는 반도체 소자의 본딩 패드.

【청구항 2】

제 1항에 있어서,

상기 접착 금속막은 Al, Ti, 및 TiN으로 이루어진 군에서 선택된 금속 물질로 이루어지는 반도체 소자의 본딩 패드.

【청구항 3】

제 1항에 있어서,

상기 접착 금속막의 두께가 1000~3000 Å으로 이루어지는 반도체 소자의 본딩 패드.

【청구항 4】

반도체 기판의 구조물 상에 베리어 금속막을 형성하고, 베리어 금속막 상에 금속 배선막과 보호 금속막을 적층하는 단계와;

상기 적층된 베리어 금속막과 금속 배선막 및 보호 금속막을 덮으면서 상기 반도체 기판 상에 절연막과 보호막을 형성하는 단계와;

상기 보호막 상에 감광막을 도포하고 노광 및 현상하여 패드부가 형성될 영역의 감광막을 선택적으로 제거한 후, 제거된 감광막에 의해 노출된 보호막과, 보호막 하부의 절연막과 보호 금속막을 식각하여 패드부를 형성하는 단계와;

상기 감광막을 제거한 후 상기 보호막과 패드부 표면 전체에 금속막을 형성하는 단계;
및

상기 금속막을 건식 식각하여 상기 보호막의 표면과 금속 배선막의 표면에 위치한 금속막을 선택적으로 제거하고, 패드부의 내측벽에 한해 접착 금속막을 남겨 접착 금속막을 형성하는 단계

를 포함하는 반도체 소자의 본딩 패드 형성 방법.

【청구항 5】

제 4항에 있어서,

상기 금속 배선막을 형성할 때에는 알루미늄 합금을 100℃ 이상의 온도에서 증착으로 형성하는 반도체 소자의 본딩 패드 형성 방법.

【청구항 6】

제 4항에 있어서,

상기 금속막은 Al, Ti, 및 TiN으로 이루어진 군에서 선택된 금속 물질로 이루어지는 반도체 소자의 본딩 패드 형성 방법.

【청구항 7】

제 4항에 있어서,

상기 금속막이 1000~3000Å의 두께로 이루어지는 반도체 소자의 본딩 패드 형성 방법.

【청구항 8】

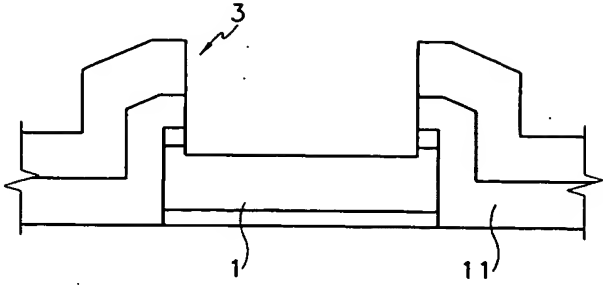
제 4항에 있어서,

상기 금속막을 형성할 때에는 200~400℃의 온도로 증착하는 반도체 소자의 본딩 패드 형성 방법.

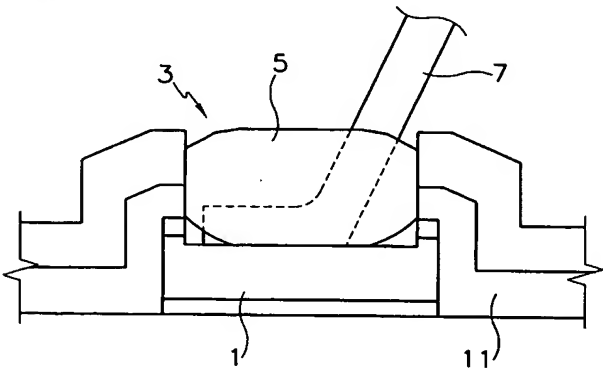


【도면】

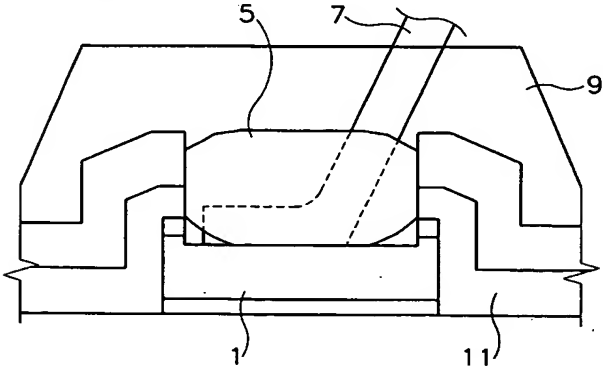
【도 1a】



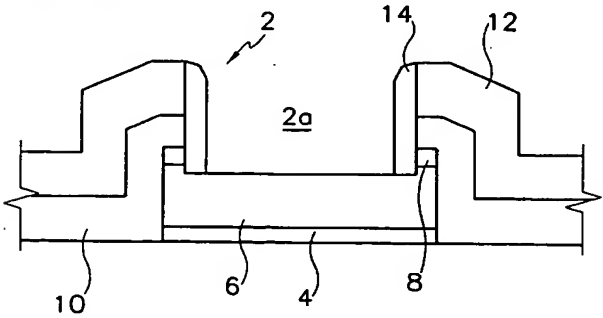
【도 1b】



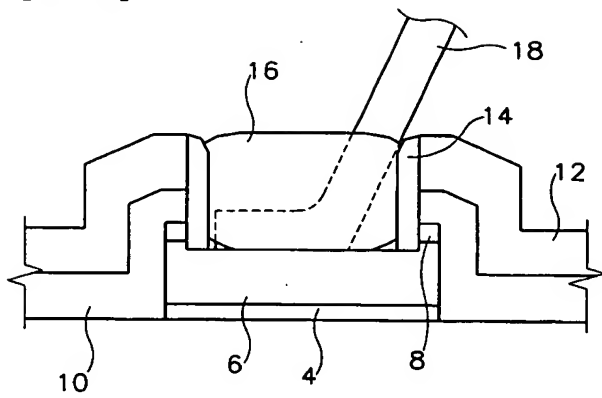
【도 1c】



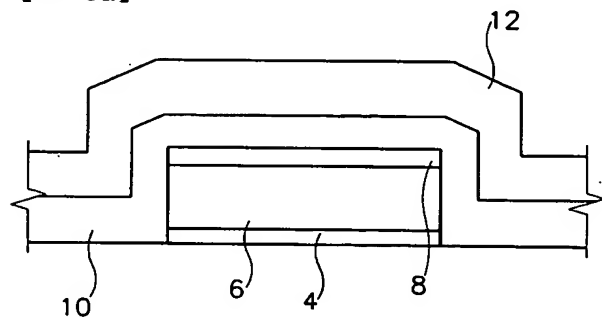
【도 2a】



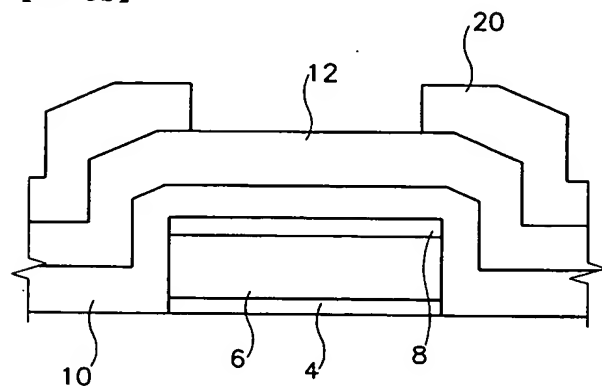
【도 2b】



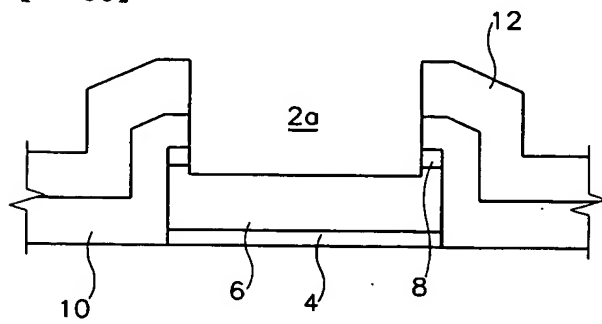
【도 3a】



【도 3b】



【도 3c】

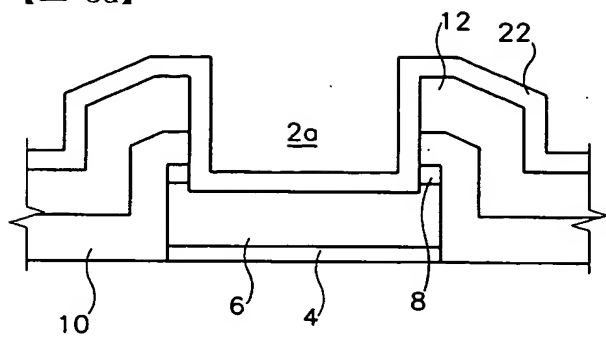




1020020080763

출력 일자: 2003/9/20

【도 3d】



【도 3e】

